

© EPODOC / EPO

PN - JP11317470 A 19991116
PD - 1999-11-16
PR - JP19980123548 19980506
OPD - 1998-05-06
TI - ELECTRONIC COMPONENTS WITH BUMPS
IN - NAKANO TETSUO; OKA KENGO; NAGASAKA TAKASHI
PA - DENSO CORP
IC - H01L23/12 ; H01L21/60 ; H01L21/60

© WPI / DERWENT

TI - Pad electrode arrangement in ball grid array - has pad electrode formed throughout inner side of recess, from recess base
PR - JP19980123548 19980506
PN - JP11317470 A 19991116 DW200005 H01L23/12 013pp
PA - (NPDE) NIPPONDENSO CO LTD
IC - H01L21/60 ; H01L23/12
AB - JP11317470 NOVELTY - Pad electrode (16) is formed continuously over inner side (42) of recess (40), from recess base (43). Solder bump (50) is joined to entire surface of pad electrode.
- USE - In ball grid array (BGA).
- ADVANTAGE - Suppresses progress of crack by heat distortion in bump. Achieves improved connection of bump with pad electrode.
DESCRIPTION OF DRAWING(S) - The figure shows structural drawing of ball grid array. (16) Pad electrode; (40) Recess; (42) Inner side; (43) Recess base; (50) Bump.
- (Dwg.1/17)
OPD - 1998-05-06
AN - 2000-059661 [05]

© PAJ / JPO

PN - JP11317470 A 19991116
PD - 1999-11-16
AP - JP19980123548 19980506
IN - NAKANO TETSUO; NAGASAKA TAKASHI; OKA KENGO
PA - DENSO CORP
TI - ELECTRONIC COMPONENTS WITH BUMPS
AB - PROBLEM TO BE SOLVED: To stop the progression of cracks due to heat deformation of bumps and increase reliability of connection between a pad electrode and bumps in a ball grid array(BGA),

having an IC chip on the front surface and a pad electrode on the back surface of an interposer to be electrically connected with external terminals via the bumps bonded on the pad electrode.

- SOLUTION: In this BGA100, recesses 40 are provided in the back surface 12 of an interposer 10. A pad electrode 16 is formed as a film which continuously covers the base, the internal side surface 42 and the opening edge 44 of the recesses 40. A solder bump 50 is bonded with the pad electrode 16 at the base 43, the internal side surface 42 and the opening edge 44 of the recesses 40.

SI - H01L21/60

I - H01L23/12 ;H01L21/60

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317470

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/60

3 1 1

21/60

3 1 1 Q

// H 0 1 L 21/60

21/92

6 0 2 A

6 0 2 J

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号

特願平10-123548

(22) 出願日

平成10年(1998) 5月 6 日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 中野 徹男

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 長坂 崇

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 岡 賢吾

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

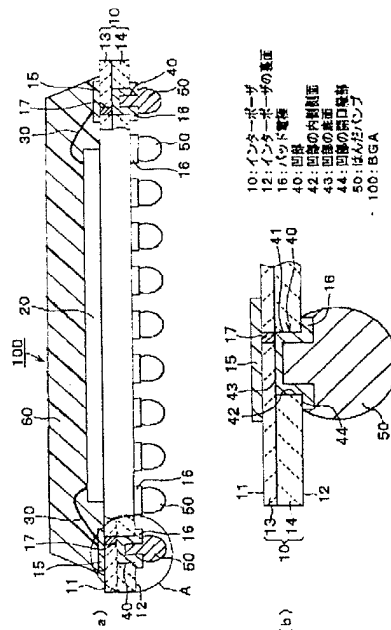
(74) 代理人 弁理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 パンプを有する電子部品

(57) 【要約】

【課題】 インターポーザの表面に I C チップ、裏面にパッド電極を備え、このパッド電極に接合されたはんだバンプによって外部との電氣的接続を行う B G A (ボールグリッドアレイ) において、バンプにおける熱歪み等によるクラックの進行を抑え、パッド電極とバンプとの接続の信頼性向上を図る。

【解決手段】 B G A 1 0 0 において、インターポーザ 1 0 の裏面 1 2 には凹部 4 0 が設けられ、パッド電極 1 6 は、凹部 4 0 の底面 4 3 だけでなく、この底面 4 3 から内周側面 4 2、更には開口縁部 4 4 に渡って連続的に膜状に形成されており、はんだバンプ 5 0 は、凹部 4 0 の底面 4 3、内周側面 4 2 及び開口縁部 4 4 にて、パッド電極 1 6 と接合されている。



【特許請求の範囲】

【請求項1】 インターポーザ(10)と、
前記インターポーザ(10)の一面(11)側に設けられた電気素子(20)と、
前記インターポーザ(10)の他面(12)側に設けられ、前記他面(12)上に開口した凹部(40)と、
前記凹部(40)の内面に形成され、前記電気素子(20)と電気的に接続された膜状のパッド電極(16)と、
一部が前記凹部(40)を塞ぐように前記凹部(40)に入り込み、前記パッド電極(16)と接合されているはんだバンプ(50)とを備え、
前記はんだバンプ(50)によって外部との電気的接続を行う電子部品において、
前記パッド電極(16)は、前記凹部(40)の前記底面(43)から前記凹部(40)の内側側面(42)に渡って連続的に形成されており、
前記はんだバンプ(50)は、前記凹部(40)の前記底面(43)及び前記内側側面(42)にて、前記パッド電極(16)と接合されていることを特徴とするバンプを有する電子部品。

【請求項2】 前記インターポーザ(10)は複数の層(13、14)からなり、
前記複数の層(13、14)のうち前記他面(12)を構成する他面側層(14)には、前記他面(12)側から前記他面側層(14)を貫通する穴部(41)が形成され、
前記他面(12)側とは反対側において、前記他面側層(14)に隣接する隣接層(13)により前記穴部(41)が塞がれることによって、前記凹部(40)が構成されていることを特徴とする請求項1に記載のバンプを有する電子部品。

【請求項3】 インターポーザ(10、210)と、
前記インターポーザ(10、210)の一面(11、211)側に設けられた電気素子(20)と、
前記インターポーザ(10、210)の他面(12、212)側に設けられ前記電気素子(20)と電気的に接続されたパッド電極(16、216)とを備え、
前記パッド電極(16、216)に接合されたはんだバンプ(50)によって外部との電気的接続を行う電子部品において、
前記インターポーザ(10、210)には、前記他面(12、212)上に開口部を有し、この開口部から前記一面(11、211)方向に窪んだ窪み部(40、240)が設けられ、
前記パッド電極(16、216)は膜状をなし、前記他面(12、212)において前記窪み部(40、240)の開口部周囲に位置する開口縁部(44、244)から、前記窪み部(40、240)において窪み方向に延びる内面(42、242)に渡って連続的に形成され

ており、

前記はんだバンプ(50)は、その一部が前記他面(12、212)側から前記窪み部(40、240)を塞ぐように前記窪み部(40、240)に入り込み、前記開口縁部(44、244)及び前記窪み部(40、240)の前記内面(42、242)にて、前記パッド電極(16、216)と接合されていることを特徴とするバンプを有する電子部品。

【請求項4】 前記窪み部は、前記一面(211)から前記他面(212)へと前記インターポーザ(210)を貫通する、前記電気素子(20)と前記パッド電極(216)とを接続するためのスルーホール(240)であることを特徴とする請求項3に記載のバンプを有する電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、はんだボール用の電極を持つボールグリッドアレイ(以下BGAという)やマルチチップモジュール(以下MCMという)等、バンプを有する電子部品に関し、特にバンプ及びバンプに接合される電極の構造に関する。

【0002】

【従来の技術】従来BGA、MCMは、インターポーザであるセラミック基板等の表面側に半導体チップを配し、裏面側においてははんだボールを用いて形成されたバンプによって、マザーボードであるプリント基板等に接続され実装される。ここにおいて、バンプの形成は、セラミック基板の裏面上に凸状にCuめっき、Niめっき等のめっきによりパッドを設けるか、または、Cu厚膜、Ag厚膜等の厚膜によりパッドを設け、このパッド(パッド電極)上にはんだボールを付ける構造をとっている。ここで、はんだボールの付け方は、パッド上にはんだボールを直接載せる方法や、パッドをクリームはんだで印刷しておき、リフロによりボールを形成する方法等がある。

【0003】これらはんだボール(バンプ)とパッドとの接合の信頼性を上げる手段としては、例えば、特開平8-83865号公報に記載のように、レジスト膜の開口部をパッドの外径形状よりも大きく形成することにより、はんだボールをパッドの上面並びに側面にまで接触させ、接触面積を増やす構成や、特開平8-55928号公報に記載のように、基板に凹部を設け、その底部一面にパッドを設けることにより、熱歪みを凹部開口部分に分散させた構成が挙げられ、それによって、バンプとパッドとの密着強度が向上できるとされている。

【0004】

【発明が解決しようとする課題】しかしながら、本発明者等が上記各公報の従来技術を検討したところ、下記のように、はんだの接続寿命、すなわちバンプとパッドとの接続の信頼性に問題が生じることがわかった。すなわ

ち、BGAやMCMをマザーボードであるプリント基板に実装した場合、使用環境下において、低温、高温の繰り返しストレスを受けると、熱歪み等によって、容易にはんだボール、すなわちバンパにクラックが生じ、マザーボードとの導通不良（オープン不良）に至ってしまう。

【0005】これは、セラミック基板の熱膨張率とプリント基板の熱膨張率とに差があるため、上記ストレスによる熱歪みがバンパに加わり、特に、セラミック基板のパッドとバンパとの接合部位に歪みが集中するためである。この接合部位においては、パッド側へはんだのSn成分が拡散し金属化合物が形成されるため、はんだよりも機械的特性の低いPb層が形成される。従って、実際、上記歪みの集中によって、このPb層にクラック（亀裂）が発生する。

【0006】ここで、上記両従来公報におけるクラック発生について、図9(a)、(b)の説明図を参照して述べる。なお、図9中、左図において符号1a及び1bで指し示す部位は上記熱歪みの集中する部位、2はマザーボード、2aはマザーボード側の電極である。上記の前者公報（図9(a)参照）においては、パッド3とバンパ4との接触面積を増やしてはいるものの、機械的特性の低いPb層5の範囲が広がっただけであり、やはり上記歪みの集中により、Pb層5でクラック6が発生する。なお、Pb層5は図9のバンパ中、ハッチング部分である。

【0007】一方、上記の後者公報（図9(b)参照）においては、バンパ4が基板（インターポーザ）7の凹部8を塞ぐように凹部8に入り込んでいるが、凹部8の側壁にはパッド3が設けられておらず、また、この側壁部はセラミック（例えばアルミナ）等の絶縁体であるため、はんだとの接合がされず、上記ストレスにより側壁部では隙間9が生じてしまう。この隙間9により熱歪みの分散が十分になされず、やはり上記歪みの集中により、Pb層5でクラック6が発生する。

【0008】本発明は上記点に鑑みてなされたものであり、インターポーザの表面に電気素子、裏面にパッド電極を備え、このパッド電極に接合されたはんだバンパによって外部との電氣的接続を行う電子部品において、バンパにおける熱歪み等によるクラックの進行を抑え、パッド電極とバンパとの接続の信頼性向上を図ることを目的とする。

【0009】

【課題を解決するための手段】本発明者等は、上記各従来公報においては、いずれも図9(a)、(b)に示す様に、機械的特性の低いPb層5がインターポーザ7と略平行な平面状に形成されているため、クラック6も平面に沿って発生し、インターポーザ7がマザーボード2から離れる形となり、上記導通不良が発生する、という点に着目した。本発明は、Pb層がパッド電極とバンパ

との接合面に沿って形成されることから、Pb層が形成されてもクラックが発生もしくは成長しにくいような接合面構成とすればよいのではないかと考えに基づいてなされたものである。

【0010】すなわち、請求項1記載の発明では、一面(11)側に電気素子(20)を有するインターポーザ(10)の他面(12)に凹部(40)を設け、凹部(40)内面に設けたパッド電極(16)と外部との電氣的接続を、はんだバンパ(50)によって行う電子部品において、パッド電極(16)を、従来のように凹部の底面だけでなく、凹部(40)の底面(43)から内周側面(42)に渡って連続的に形成し、はんだバンパ(50)を凹部(40)の底面(43)及び内周側面(42)にてパッド電極(16)と接合したことを特徴としている。

【0011】本発明では、パッド電極(16)を、凹部(40)の底面(43)から内側側面(42)に渡って連続的に形成しており、パッド電極(16)とはんだバンパ(50)との接合面は、凹部(40)の内面形状に沿って曲がって形成される。そのため、この曲がった接合面に沿ってPb層も形成され、Pb層にクラックが発生してもPb層の曲がり部分でクラックの進行を抑制することができ、パッド電極(16)とはんだバンパ(50)との接続の信頼性向上を図ることができる。

【0012】また、請求項2記載の発明は、インターポーザ(10)が複数の層(13、14)からなり、これら複数の層(13、14)のうち、他面(12)を構成する他面側層(14)にパッド電極(16)を設けた場合の凹部(40)の具体的構成を提供するものである。また、請求項3記載の発明においては、一面(11、211)側に電気素子(20)が設けられるインターポーザ(10、210)の他面(12、212)側において、他面(12、212)上に開口部を有しこの開口部から一面(11、211)方向に窪んだ窪み部(40、240)を設け、膜状のパッド電極(16、216)を、インターポーザ(10、210)の他面(12、212)において窪み部(40、240)の開口部周囲に位置する開口縁部(44、244)から、窪み部(40、240)において窪み方向に延びる内面(42、242)に渡って連続的に形成されており、はんだバンパ(50)は、その一部が他面(12、212)側から窪み部(40、240)を塞ぐように窪み部(40、240)に入り込み、開口縁部(44、244)及び窪み部(40、240)の内面(42、242)にて、パッド電極(16、216)と接合されていることを特徴としている。

【0013】本発明においても、パッド電極(16、216)を、窪み部(40、240)開口部周囲に位置するインターポーザ(10、210)他面(12、212)の開口縁部(44、244)から、窪み部(40、

240)において窪み方向に延びる内面(42、242)に渡って連続的に形成しており、パッド電極(16、216)とはんだバンプ(50)との接合面は、曲がって形成される。そのため、請求項1記載の発明と同様に、クラックの進行を抑制することができ、パッド電極とバンプとの接続の信頼性向上を図ることができる。

【0014】また、請求項4記載の発明のように、請求項3記載の窪み部は、一面(211)から他面(212)へとインターポーザ(210)を貫通する、電気素子(20)とパッド電極(216)とを接続するためのスルーホール(240)にすることができる。なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0015】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態)本実施形態は、本発明のバンプを有する電子部品を、半導体チップ等の半導体素子を搭載したインターポーザをはんだバンプを介してマザーボード(外部電気回路)に実装するBGAに適用したものである。図1は本実施形態に係るBGA100の構造を示す図であり、(a)は全体構造を示す一部切欠断面図、(b)は(a)の丸で囲んだA部分の拡大断面図である。なお、(a)では、左右の最外側のはんだバンプ50部分のみを断面として表してある。

【0016】10はインターポーザであり、アルミナ等の絶縁性セラミック材料により作られたグリーンシートを複数層積層し焼成したセラミック基板からなる。ここで、インターポーザ10において、BGA100の表面(図1(a)において上方)となる面を表面(一面)11、表面11とは反対側のBGA100の裏面(図1(a)において下方)となる面を裏面(他面)12とする。

【0017】本例では、インターポーザ10は、BGA100の表面側に位置する第1シート13と、BGA100の裏面側に位置する第2シート14とからなる。両シート13、14は積層されて焼成することによりインターポーザ10を形成している。従って、第1シート13はインターポーザ10の表面11を構成する層(隣接層)であり、第2シート14はインターポーザ10の裏面12を構成する層(他面側層)である。

【0018】インターポーザ10の表面11には、電気素子としてのICチップ(半導体チップ)20が、接着剤等を介して取り付けられている。また、表面11には複数の電極(配線ランド)15が形成されており、ICチップ20に備えられた複数の電極は、各々、対応する複数の電極15にワイヤボンディングにより形成されたワイヤ30により電気的に接続されている。

【0019】インターポーザ10において、裏面12には、表面11側の複数の電極15と対応して、裏面12

上に開口しこの開口部から表面11方向に窪んだ複数の凹部40が形成されている。各々の凹部40内面には、導電性膜状のパッド電極16が形成されている。これら電極15及びパッド電極16は、タングステン(W)またはモリブデン(Mo)等からなるメタライズ層の上に、半田付けを行うためのCu、Ni等の層を積層した構造となっている。

【0020】また、電極15とパッド電極16とは、インターポーザ10内部に設けられた回路配線(メタライズ配線層)17によって電気的に接続されているため、結果としてパッド電極16はICチップ20と電気的に接続した状態となっている。そして、各凹部40には、外部のマザーボード(プリント基板等)と電気的接続を行うためのはんだバンプ50が設けられている。

【0021】ここで、詳しくは、図1(b)に示す様に、はんだバンプ50は、一部が凹部40に入り込んで凹部40を塞いでおり、パッド電極16と電気的に接合されている。なお、図1(b)ではワイヤ30及び後述の封止樹脂60は省略してある。ここで、本例では、凹部40は、裏面12側から反対側まで第2シート14を貫通して形成された円筒状の穴部41が、第2シート14に隣接する第1シート13によりこの穴部41を塞いだ形となって構成されている。

【0022】従って、穴部41の内周面が、凹部40の内側側面42を構成し、穴部41を覗く第2シート14の面が、凹部40の底面43を構成している。ここで、各シート13、14の厚さは、例えば0.3mm~0.4mmであり、凹部40の深さも、この厚さと同じである。また、穴部41の直径すなわち凹部40の直径は、例えば0.5mm~0.7mmである。

【0023】そして、パッド電極16は、凹部41の底面43から内側側面42に渡って連続的に形成されており、更に、内側側面42から、インターポーザ10の裏面12における凹部41の開口縁部44に渡って連続的に形成されている。従来、上記図9(b)に示した様に、パッド電極は凹部の底面のみに形成されていたが、本実施形態では内側側面42も含め、凹部40内面の略全域にパッド電極16を形成したことが、大きな特徴である。

【0024】ここで、パッド電極16の膜厚は例えば0.01mm~0.02mm程度である。そして、一部が凹部40を塞ぐように凹部40に入り込んだ略球状のはんだバンプ50は、パッド電極16の形成部分において、すなわち凹部40の底面43及び内側側面42、更には上記開口縁部44にて、パッド電極16と接合され電気的に接続されている。

【0025】ところで、インターポーザ10の表面11上のICチップ20、複数の電極15、及びワイヤ30は、上記封止樹脂60により封止され、外部の埃、湿気等から保護されるようになっている。かかる構成のBG

A100は、はんだバンプ50を介して、外部のマザーボード（外部電気回路）であるプリント基板に実装される。

【0026】ここで、図2はBGA100におけるはんだバンプ50の一配列例を示す模式図であり、(a)は図1に対応した側方図、(b)は裏面12側からみた図である。図2に示す様に、はんだバンプ50はアレイ状の配列パターンで配置されおり、例えば、平面サイズが20mm×20mm（□20）であるインターポーザ10に対して、はんだバンプ50は、ピッチが1.27mmで15×15列（合計225個）の配列としている。そして、全てのはんだバンプ50部分について図1(b)に示す電極構造を採用している。

【0027】次に、本実施形態のBGA100の製造方法について述べる。図3および図4は本実施形態に係る製造工程の流れ図、図5～図8は同製造工程を示す説明図である。まず、グリーンシート作成工程S1では、酸化アルミニウム（アルミナ）を用いて、周知の方法（ドクターブレード法、カレンダロール法等）によりグリーンシートを2枚作製する。なお、窒化アルミニウム（AlN系）、ムライト、ガラスセラミック等を用いて、同様にグリーンシートを作製してもよい。ただし、これら他の材料においては、焼成温度等を変更する必要がある。

【0028】次に、穴形成工程S2では、これら2枚のグリーンシート70、71に対して、第1シート13とすべきグリーンシート70には、上記回路配線17を形成するための円形状の小穴（例えばφ0.1mm～0.2mm）72を、打ち抜き加工により複数個形成する（図5(a)参照）。一方、第2シート14とすべきグリーンシート71には、上記小穴72よりも径が大きく、上記穴部41に相当する円形状の大穴（例えばφ0.5mm～0.7mm）73を、小穴72と対応する位置に、打ち抜き加工により複数個形成する（図5(b)参照）。

【0029】次に、メタライズ形成工程S3では、グリーンシート70の小穴72に、WまたはMo等からなるメタライズを充填することにより、回路配線17を形成する（図5(c)参照）。そして、配線パターン印刷工程S4では、グリーンシート70の両面において、回路配線17と導通するように、WまたはMo等の導体74を所望のパターンに印刷する（図5(d)参照）。

【0030】ここで、図5(d)において、グリーンシート70の上面の導体74は、図1に示すインターポーザ10の表面11に位置する電極15の下層部分に相当し、グリーンシート70の下面の導体74は、インターポーザ10の裏面12の凹部40内面に形成されたパッド電極16のうち、底面43に形成された部分の下層部分に相当するものである。

【0031】続いて、積層工程S5では、両グリーンシ

ート70、71を積層する（図6(a)参照）。次に、導体印刷工程S6では、グリーンシート71の大穴73の部分に、WまたはMo等の導体ペーストを用いた導体印刷により、グリーンシート70の下面の導体74上、及び大穴73の内周側壁に導体75を形成する（図6(b)参照）。ここで、この導体75は、下層の導体74とともにパッド電極16を構成するものである。

【0032】続いて、焼成工程S7では、例えば、1600℃、還元雰囲気にて、導体印刷工程S6後における両グリーンシート70、71の積層体を、焼成し固定する。その後、めっき処理工程S8では、グリーンシート70の上面の導体74、及び大穴73に形成された導体75の表面に、浸漬めっき法等により銅（Cu）めっき又はニッケル（Ni）めっきを、例えば10μm程度の厚さで施す。こうして、導体74および上記めっき層の2層構造からなる電極15が形成され、導体74、75及び上記めっき層の3層構造からなるパッド電極16が形成される。

【0033】以上の工程S1～S8を行う（製造手順1とする）ことにより、電極15、16が形成されたインターポーザ10が完成するが、図3に示す様に、積層工程S5の後に工程S9、S10、S11、S12を順次行う（製造手順2とする）ことにより、同様にインターポーザ10を完成させてもよい。この場合の製造工程について述べる。まず、積層工程S5の後、焼成工程S9では、上記焼成工程S7同様に、積層体を焼成し固定する。

【0034】そして、めっき処理工程S10では、上記めっき処理工程S8同様にめっき処理を行い、導体74の表面に銅またはニッケルめっきを施す。本工程S10により形成されためっき層76は、図6(c)に示すように、導体74の上層をなす。続いて、厚膜導体印刷工程S11では、グリーンシート71の大穴73部分に銅厚膜77を導体印刷により、形成する（図6(c)参照）。その後、印刷後焼成工程S12では、900℃、窒素（N₂）雰囲気（中性雰囲気）にて焼成を行い、電極15、16が形成されたインターポーザ10が完成する。

【0035】ここで、今述べた製造手順2の場合には、インターポーザ10の表面11の電極15は、導体74およびめっき層76の2層構造から構成され、裏面12の凹部40に形成されたパッド電極16は、導体74、めっき層76および導体77の3層構造から構成される。それによっても、工程S1～S8を行う製造手順1の場合の電極15、16と機能的には変わらない。

【0036】なお、上記両製造手順1において、積層工程S5の前に、図6(d)に示す様に、グリーンシート71の大穴73の上下開口縁部から内周側面に渡って、予めWまたはMoペーストを印刷もしくは塗布し、その後積層工程S5に供してもよい。それにより、導体印刷

工程S6で印刷形成される導体75を、予め形成することができるので、導体印刷工程S6が不要となる。

【0037】次に、チップ実装工程S13について述べる。本工程S13では、上記製造手順1または2によって作成されたインターポーザ10の表面11に、ICチップ20を、例えば銀ペースト等の接着剤（ダイマウントペースト）80を用い、接着する（図7（a）参照）。なお、上記図1では接着剤80は省略してある。その後、ワイヤボンディング工程S14では、金（Au）ワイヤ30で、ワイヤボンディングし、ICチップ20に備えられた複数の電極と電極15とを電氣的に接続する（図7（b）参照）。

【0038】その後、封止工程S15では、熱硬化性の樹脂等からなる封止樹脂60を用いて、ICチップ20およびワイヤボンディング部全体をモールドし、封止体とする（図7（c）参照）。続いて、この封止体にはんだバンプ50となるはんだボールを搭載するが、その手順は、以下のボール吸着工程S16〜リフロー工程S19により行われる。

【0039】まず、ボール吸着工程S16では、容器90内に、はんだバンプ50と同程度の大きさの多数のはんだボール91を用意し、はんだバンプ50の配列パターン（図2参照）と同一パターンに配列された吸引穴92を有する吸引器93にて、減圧吸引等により、はんだボール91を吸着する（図8（a）参照）。続いて、フラックス転写工程S17では、吸引器93をフラックス94の入った容器95上に位置させ、吸着されたはんだボール91の先端とフラックス94とを接触させることによりフラックス94を転写する（図8（b）参照）。

【0040】次に、ボール搭載工程S18では、上記封止体において、吸引器93とインターポーザ10の裏面12とを対向させ、フラックス94付きのはんだボール91を、パッド電極16上に搭載する（図8（c）参照）。続いて、リフロー工程S19では、はんだボール91をリフロー（再溶融）させることにより、はんだバンプ50を形成する（図8（d）参照）。こうして、図1に示すBGA100が完成する。

【0041】次に、本実施形態の作用効果について図9（c）を参照して説明する。なお、図9において（a）、（b）は課題の欄にて既述したもので、従来技術におけるクラック発生を表すものである。図9では、はんだバンプ4、50をマザーボード2側の電極2aに接続した状態、すなわち、BGAと外部との電氣的接続状態を示してある。

【0042】本実施形態では、パッド電極16を、凹部40の底面43から内側側面42に渡って連続的に形成しており、パッド電極16とはんだバンプ50との接合面は、凹部40の内面形状に沿って曲がって形成されている。そのため、この接合面に沿って、Pb層5も図9（c）に示す様に、凹部40の底面43から内側側面4

2に渡って曲がった面状に形成される。例えば、図9（b）に示すように凹部底面に略平行なクラック6が発生した場合、本実施形態では、Pb層5の上記曲がり部にて、クラック6の進行を抑制することができる。

【0043】また、本実施形態では、凹部40内面の全域に渡って、パッド電極16とはんだバンプ50との接合が行われているため、図9（b）に示すような隙間9は発生しない。そのため、本実施形態では、図9（b）に示すような凹部S底面に略平行なクラック6は、発生しにくくできる。たとえ発生しても、上述のように、Pb層5の曲がり部によるクラック進行の抑制がなされるため問題ない。

【0044】また、本実施形態では、パッド電極16は、更に、凹部40内面から開口縁部44に渡って形成されているため、この部位にもPb層5が形成され、図9（c）に示すようなクラック6が発生する。しかし、Pb層5は凹部40の開口縁部44から内側側面42にかけて曲がり形状を有しており、この曲がり部にてクラック6の進行を抑制することができる。

【0045】さらに、本実施形態では、凹部40内面の全域にパッド電極16を設け、はんだバンプ50との接合部を形成しているため、従来のように、平面のみ、あるいは、凹部の底面のみで接合する構成に比べて、接合面積を広くすることができ、パッド電極16とはんだバンプ50との接合強度をより大きなものとすることができる。

【0046】このように、本実施形態では、インターポーザ10において表面11とは反対側の裏面12に凹部40を設け、パッド電極16を、凹部40の底面43だけでなく、この底面43から内周側面42に渡って曲がり形状に連続的に形成し、はんだバンプ50をこれら各面42、43にてパッド電極16と接合したことを主たる特徴としている。そのため、本実施形態では、クラック進行の発生及び抑制を図ることができ、パッド電極16とはんだバンプ50との接続の信頼性向上を図ることができる。

【0047】ここで、本実施形態の効果を、以下に示す冷熱サイクル試験の評価結果を用いて、より具体的に述べる。図10は試験結果を示す図である。この冷熱サイクル試験は、はんだバンプ50の配列を上記図2に示すパターンとしたもの、及び、比較例として図9（a）に示す従来電極構造を用いて同一配列パターンとしたものを、-40℃と125℃との液相冷熱サイクルに供し、導通不良の度合を調べたものである。なお、両サンプル共、パッド電極最表層は銅めっき層としてある。

【0048】図10において、横軸には冷熱寿命サイクル（サイクル）、すなわち導通不良に至ったサイクル数を示し、縦軸にはバンプ位置R（mm）、すなわち図2に示すようにBGA100の中心からののはんだバンプの距離を示してある。図10に示す様に、本実施形態は比

較例に比べて、2倍強の寿命向上となり、パッド電極とはんだバンプとの接続の信頼性向上を図ることができた。また、本実施形態では上記冷熱サイクルにおいて良好な接続信頼性を実現するがゆえ、自動車用の電子回路等、厳しい温度環境に使用される機器に搭載されるBGAに用いて好適である。

【0049】(第2実施形態)本実施形態のBGAは、インターポーザに、裏面上に開口部を有し、この開口部から表面方向に窪んだ窪み部を設け、パッド電極を、窪み部の開口縁部から窪み部において窪み方向に延びる内面に渡って連続的に形成したことを主たる特徴としている。図11に、本第2実施形態に係るBGA200の全体構造を示す一部切欠断面図を示す。図11において(a)は全体構造を示す一部切欠断面図、(b)は(a)の丸で囲んだB部分の拡大断面図である。なお、(a)では、左右の最外側のはんだバンプ50部分のみを断面として表してある。

【0050】ここで、本実施形態では、窪み部を、表面211から裏面212へとインターポーザ210を貫通するスルーホール240としており、パッド電極216を、スルーホール240によって、裏面212から表面211へ一体化した電極として引き出したものとしている。この点が主として上記第1実施形態と異なる点であり、以下、第1実施形態と同一部分には図中同一符号を付し、説明を省略する。

【0051】インターポーザ210は単層基板もしくは複数層の基板であり、アルミナ等の絶縁性セラミック材料により作られたセラミック基板からなる。本例では単層基板として説明する。本例においても、インターポーザ210のうち、BGA200の表面(図11(a)において上方)となる面を表面(一面)211、表面211とは反対側のBGA200の裏面(図11(a)において下方)となる面を裏面(他面)212としている。

【0052】スルーホール(窪み部)240は、インターポーザ210の表裏面211、212に開口した開口部を有し、裏面212側の開口部からみれば、表面211方向に窪んでいる。そして、スルーホール240の内側側面(窪み部の内面)242は略円筒形状をなしている。ここで、スルーホール240の直径は、上記図1に示す凹部40と略同等の大きさとすることができる。

【0053】そして、膜状のパッド電極216は、図11(b)に示す様に、インターポーザ210の裏面212側のスルーホール240開口部周囲に位置する開口縁部244から、スルーホール240の内側側面242上に渡って連続的に形成されている。更に、パッド電極216は、インターポーザ210の表面211側のスルーホール240開口部周囲に位置する開口縁部245に渡って連続的に形成されている。

【0054】こうしてパッド電極216は、スルーホール240によって裏面212から表面211へ貫通する

一体化した電極として引き出されている。そして、パッド電極216は、表面211に引き出された部分にてワイヤ30と結線され、ICチップ20と電気的に接続されている。ここで、パッド電極216は、銅(Cu)、銀(Ag)または金(Au)等からなる導電性の厚膜から構成され、厚さは上記パッド電極16と同程度とできる。

【0055】ここで、はんだバンプ50は、その一部がインターポーザ210の裏面212側から、スルーホール240を塞ぐようにスルーホール240に入り込んでいる。そして、はんだバンプ50は、裏面212側の開口縁部244及びスルーホール240の内側側面242にて、パッド電極216と接合されている。本実施形態では、このようにパッド電極216とはんだバンプ50とが開口縁部244及び内側側面242にて接合されていることが、主たる特徴である。なお、本実施形態においても、はんだバンプ50の配列は上記図2の配列と同一のものとしており、全てのはんだバンプ50部分について図11(b)に示す電極構造を採用している。

【0056】次に、本実施形態のBGA200の製造方法について述べる。なお、本実施形態では、インターポーザ210の製造工程が上記第1実施形態と異なるのみであり、それ以外の後工程すなわち上記チップ実装工程S13〜リフロー工程S19までの工程は、上記第1実施形態と同様に適用される。従ってインターポーザ210の製造工程のみについて述べることにする。

【0057】また、上述のように、本実施形態では、インターポーザ210を単層基板もしくは複数層の基板とできるとしている。単層の場合(単層基板製造工程)と複数層の場合(複数層基板製造工程)とでは、インターポーザ210の製法が異なる。図12は単層基板製造工程、図13は複数層基板製造工程の流れ図、図14は単層基板製造工程を示す説明図、図15及び図16は複数層基板製造工程を示す説明図である。

【0058】まず、単層基板製造工程について述べる。グリーンシート作成工程S20では、酸化アルミニウム(アルミナ)を用いて、上記グリーンシート作成工程S1同様に、グリーンシート270を1枚作成する(図14(a)参照)。次に、穴形成工程S21では、グリーンシート270に対して、円形状のスルーホール(例えばφ0.5mm〜0.7mm)240を、打ち抜き加工により複数個形成する(図14(b)参照)。

【0059】次に、焼成工程S22では、スルーホール240が形成されたグリーンシート270を、例えば約1600℃、大気中にて焼成し、スルーホール240が形成されたインターポーザ210を形成する。続いて、電極形成工程S23では、インターポーザ210の表面211から、スルーホール240部分に、Cu、AgまたはAu等からなる導電性の厚膜導体271を印刷する(図14(c)参照)。ここで、厚膜導体271は、イ

インターポザ210の表面211側におけるスルーホール240の開口縁部245から内側側面242に渡って連続的に形成される。

【0060】さらに、本工程S23では、インターポザ210の裏面212から、スルーホール240部分に、Cu、AgまたはAu等からなる導電性の厚膜導体272を印刷する(図14(d)参照)。厚膜導体272は、裏面212側におけるスルーホール240の開口縁部244に形成される。こうして、両厚膜導体271、272は一体化し、スルーホール240の裏面212側の開口縁部244から内側側面242を通り、表面211側の開口縁部245に渡り連続的に形成された厚膜導体ができる。

【0061】次に、印刷後焼成工程S24では、インターポザ210を、900℃で焼成して、上記一体化された厚膜導体を、パッド電極216として形成する。ここで、Cu厚膜の場合には、窒素(N₂)雰囲気(中性雰囲気)、AgまたはAu厚膜の場合には、大気中で焼成を行う。こうして、上記工程S20～S24を経て、パッド電極216及びスルーホール240を有する単層基板としてのインターポザ210が完成する。

【0062】次に、複数層基板製造工程について述べる。本例では2層構造の場合であって、インターポザ210の表面を構成する層の内部に上記第1実施形態における回路配線17に相当するメタライズ配線層を設けた場合について述べる。まず、グリーンシート作成工程S25において、上記工程S1同様に、2枚のグリーンシート(以下、単にシートという)280、281を作成する(図15(a)参照)。ここで、シート280は、インターポザ210の表面211を構成するものであり、シート281は、裏面212を構成するものである。

【0063】次に、穴形成工程S26では、これら2枚のシート280、281に対して、それぞれ、打ち抜き加工により、スルーホール240と同径の円形状の大穴282を設ける。また、シート280には、メタライズ配線層を形成するための円形状の小穴(例えばφ0.1mm～0.2mm)283を、打ち抜き加工により複数個形成する(図15(b)参照)。

【0064】続いて、メタライズ形成工程S27では、上記メタライズ形成工程S3同様に、メタライズ配線層284を形成する(図15(c)参照)。その後、配線パターン印刷工程S28では、シート280、281において、それぞれ片面に、WまたはMo等の導体285を所望のパターンに印刷する(図15(d)参照)。

【0065】ここで、シート280においては、メタライズ配線層284と導通するように導体285を印刷する。シート280側の導体285は、インターポザ210の表面211の配線パターンを形成するものであ

り、シート281側の導体285は、インターポザ210内部の配線パターンを形成するものである。従って、続く積層工程S29では、両シート280、281を、各側の導体285が上記配置となるように、積層体とする(図16(a)参照)。また、このとき両シート280、281の両大穴282も一体化されてスルーホール240が形成される。

【0066】続いて、電極形成工程S30では、上記電極形成工程S23同様に、上記積層体の表面から、スルーホール240部分に厚膜導体286を印刷し(図16(b)参照)、上記積層体の裏面から、スルーホール240部分に厚膜導体287を印刷する(図16(c)参照)。こうして、スルーホール240において積層体の表裏両面側の開口縁部及び内側側面に、一体化された厚膜導体を形成することができる。

【0067】次に、焼成工程S31では、焼成工程S7同様に、例えば、1600℃、還元雰囲気にて焼成を行い、積層された両シート280、281を固定する。その後、めっき処理工程S32では、上記めっき処理工程S8同様に、めっき処理を行う。こうして、上記工程S25～S32を経て、パッド電極216及びスルーホール240を有する2層基板としてのインターポザ210が完成する。なお、本例の複数層基板製造工程で形成されたパッド電極216は、WまたはMo等の厚膜からなる下層286、287とこの下層286、287の上に形成されたCu又はNiからなるめっき層とから構成される。

【0068】ところで、本実施形態の作用効果について、図17を参照して説明する。本実施形態においても、パッド電極216を、インターポザ210の他面212側のスルーホール(窪み部)240の開口部周囲に位置する開口縁部244から、スルーホール240において窪み方向に延びる内側側面242に渡って連続的に形成しており、パッド電極216とはんだバンプ50との接合面は、曲がって形成される。

【0069】そのため、Pb層も、この形状に沿って曲がって形成されるため、上記第1実施形態と同様に、クラックの進行を抑制することができ、パッド電極216とバンプ50との接続の信頼性向上を図ることができる。このように、本実施形態は、窪み部としてのスルーホール240直下に、パッド電極216をスルーホール240の開口縁部244から内周側面242に渡って連続的に形成し、はんだバンプ50との接合強度を向上させるものである。ちなみに、従来、スルーホール直下にパッド電極を形成する例としては、特開平8-236911号公報や特開平8-64271号公報に記載のものがある。

【0070】前者公報は、スルーホールとはんだバンプとをつなぐパターン配線長さが長くなり設計が制約されるという問題を解決するために、スルーホール直下にパ

ッド電極を形成したものである。具体的には、スルーホール内の一部または全部に封止材を充填した後、封止材の粘着性を利用して、はんだボール（はんだバンパ）または金属コアにはんだめっきをしたボールを付着させリフローする。

【0071】一方、後者公報は、リワークができ、低コストで組み立てのできるMCM用BGAパッケージを実現するために、開口縁部にパッド電極が形成されたスルーホールを有する単層セラミック基板を用い、この基板片面にLSIチップを搭載し、基板他面側からスルーホールをはんだボールで塞ぐことにより、LSIチップ搭載面を気密防止するものである。

【0072】しかし、前者公報では、スルーホール内には封止材が充填されており、はんだバンパはスルーホール内には入らない。一方、後者公報では、あくまで、気密防止のためにスルーホールを塞ぐことが目的であり、本実施形態とは解決目的が異なる。また、はんだバンパはスルーホール内に浸入していても、浸入していなくてもよいと記載されているが、浸入した場合のスルーホール内周側面におけるはんだバンパとパッド電極との接合構成については示唆されていない。

【0073】従って、これら両公報は、スルーホール直下にパッド電極を形成した構成とはしているものの、本実施形態のように、はんだバンパを積極的にスルーホール内に浸入させ、パッド電極とはんだバンパとの接合面を曲がって形成することで、クラックの進行を抑制し、接続寿命を向上させるというものではない。

（他の実施形態）なお、上記第1実施形態において、パッド電極16は、凹部40の底面43と内側側面42のみに形成され、凹部40の開口縁部44には形成されていないものとしてもよい。それによっても、上記第1実施形態と同等の効果を達成することができる。

【0074】また、上記第1実施形態において、パッド電極16が凹部40の底面43には形成されていないもの、すなわち、パッド電極が凹部40の開口縁部44から内側側面42に渡って連続的に形成されたものとしてもよい。この場合には、凹部40は請求項でいう窪み部に相当し、内側側面42が請求項でいう窪み部において窪み方向に延びる内面に相当する。

【0075】また、上記凹部及びスルーホールは断面が円形のものでなくともよい。また、図1及び図11に示す電極構造は、インターポーザ10、210に配列された複数個のはんだバンパ50部分の全部に適用されていなくともよく、導通不良の発生し易い部位に適宜適用したものとしてもよい。また、上記第1実施形態において、第1シート13は複数層のシートで形成されていてもよく、上記第2実施形態において、インターポーザ210を複数層で構成する場合には、3層以上の構成であってもよい。

【0076】また、本発明は、インターポーザの凹部ま

たは窪み部におけるパッド電極とはんだバンパとの接続構造に特徴を持たせたものであり、その他の構成部分については、適宜設計変更を行ってよいことは勿論である。また、本発明は、BGAだけでなくMCMにも適用可能であり、更には、電気素子が半導体素子に限定されるものではなく、例えばコンデンサ、レジスタ等の電気素子を用いたバンパを有する電子部品に適用可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るBGAの構造図であり、(a)は全体構造を示す一部切欠断面図、(b)は(a)のA部分の拡大断面図である。

【図2】本発明の実施形態に係るBGAにおけるはんだバンパの一配列例を示す模式図である。

【図3】上記第1実施形態に係る製造工程の流れ図である。

【図4】図3に続く製造工程の流れ図である。

【図5】上記第1実施形態に係る製造工程を説明する説明図である。

【図6】図5に続く製造工程を説明する説明図である。

【図7】図6に続く製造工程を説明する説明図である。

【図8】図7に続く製造工程を説明する説明図である。

【図9】はんだバンパにおけるクラックの発生及び抑制を説明する模式図である。

【図10】上記第1実施形態における冷熱サイクル試験の評価結果を示す図である。

【図11】本発明の第2実施形態に係るBGAの構造図であり、(a)は全体構造を示す一部切欠断面図、(b)は(a)のB部分の拡大断面図である。

【図12】上記第2実施形態における単層基板製造工程の流れ図である。

【図13】上記第2実施形態における複数層基板製造工程の流れ図である。

【図14】上記単層基板製造工程を説明する説明図である。

【図15】上記複数層基板製造工程を説明する説明図である。

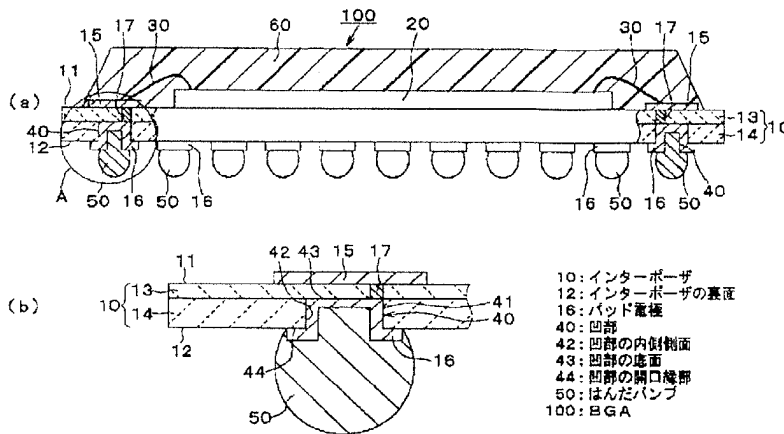
【図16】図15に続く上記複数層基板製造工程を説明する説明図である。

【図17】上記第2実施形態におけるはんだバンパのクラック抑制効果を説明する模式図である。

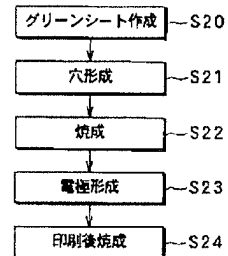
【符号の説明】

10、210…インターポーザ、11、211…インターポーザの表面、12、212…インターポーザの裏面、13…第1シート、14…第2シート、16、216…パッド電極、20…ICチップ、40…凹部、41…穴部、50…はんだバンパ、42…凹部の内側側面、43…凹部の底部、44…凹部の開口縁部、240…スルーホール、242…スルーホールの内側側面、244…スルーホールの開口縁部。

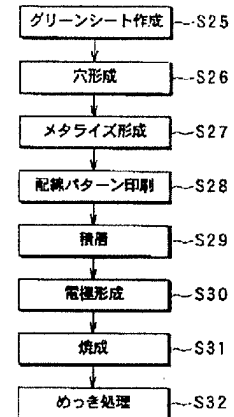
【図1】



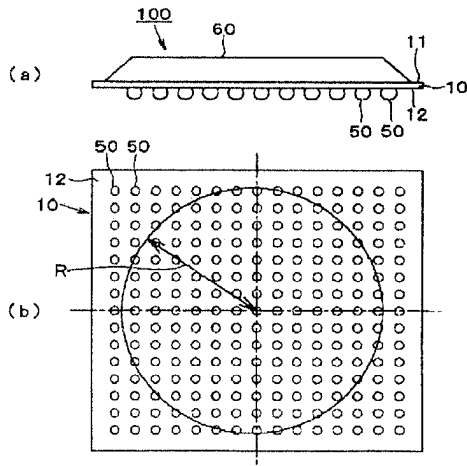
【図12】



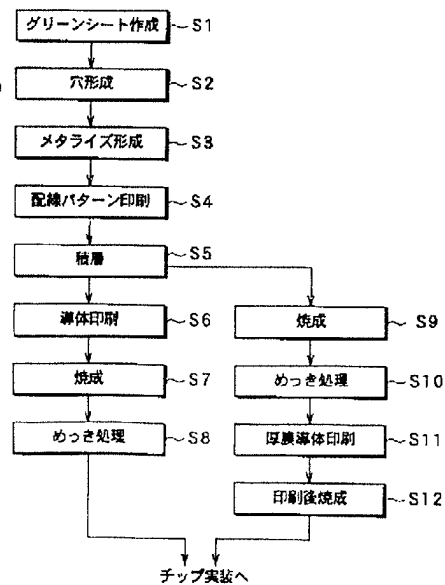
【図13】



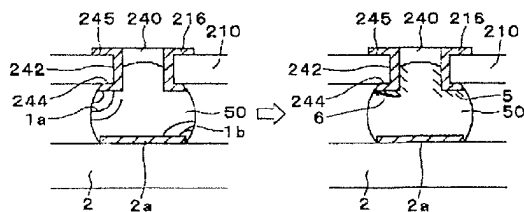
【図2】



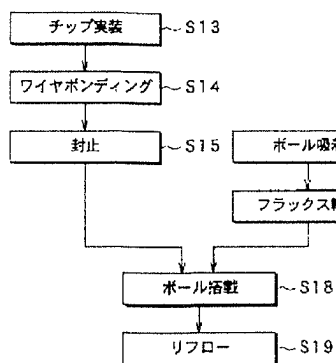
【図3】



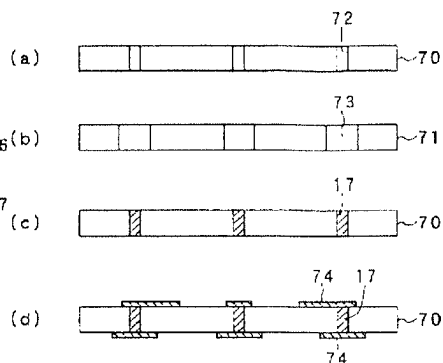
【図17】



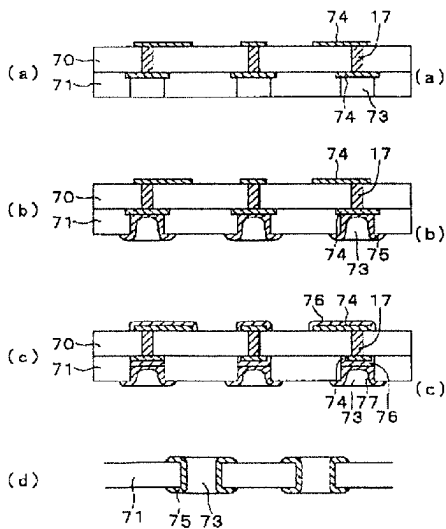
【図4】



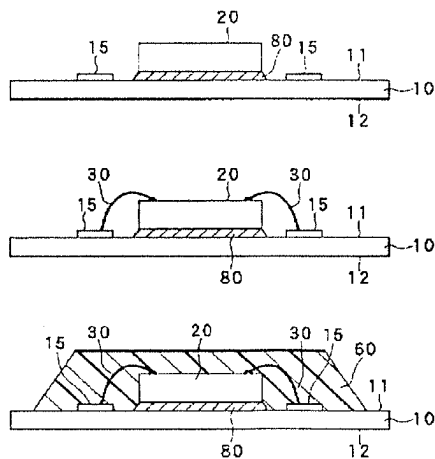
【図5】



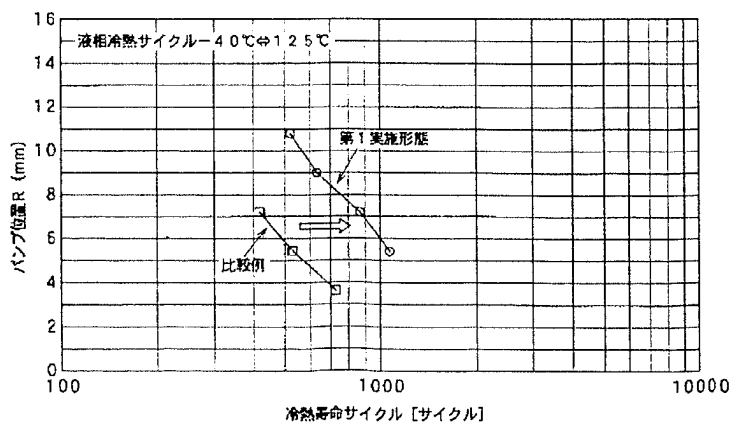
【図6】



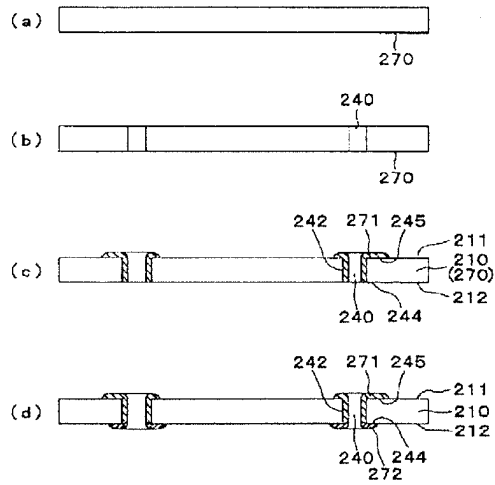
【図7】



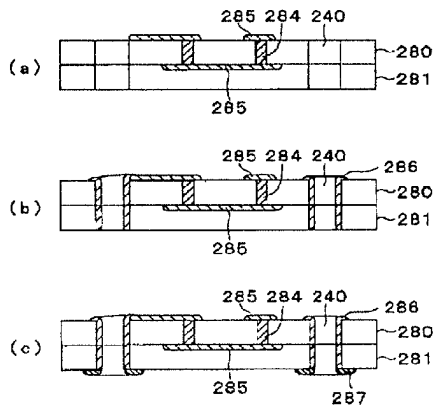
【図10】



【図14】



【図15】



【図16】

